

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-149723

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl.*

G 0 6 F 13/16
13/36

識別記号

5 2 0
3 2 0 B

序内整理番号

9366-5B

F I

技術表示箇所

(21)出願番号

特願平4-298526

(22)出願日

平成4年(1992)11月9日

(71)出願人

000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者

岸上 秀哉
神奈川県川崎市幸区堀川町580番1号
株式会社東芝半導体システム技術センター内

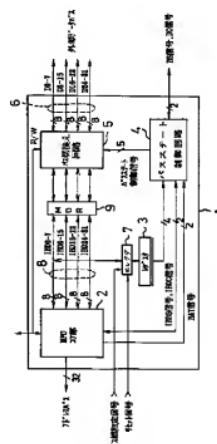
(74)代理人 弁理士 三好 秀和 (外1名)

(54)【発明の名称】 プロセッサ

(57)【要約】 (修正有)

【目的】 外部にデータ幅の異なるメモリを接続した場合に、データ幅の調整が可能となり、かつ動作マージンの減少を回避して、高速動作を達成し得るプロセッサを提供する。

【構成】 この発明は、命令フェッチ要求とデータアクセス要求により命令を実行処理するMPUコア部2と、外部データバス6と、内部データバス8と、命令フェッチ時ににおける外部データバスのバス幅を指定する第1のバス幅指定情報と、データアクセス時における外部データバスのバス幅を指定する第2のバス幅指定情報を保持するレジスタ3と、外部と内部バスとの接続を切換えるバス切換え回路5と、第1のバス幅指定情報に基づいてMPUコア部2の命令フェッチ要求により外部データバス6のバス幅を指定し、第2のバス幅指定情報に基づいてMPUコア部2のデータアクセス要求により外部データバス6のバス幅を指定し、バス切換え回路5を制御するバスステート制御回路4とから構成される。



【特許請求の範囲】

【請求項1】 命令フェッチ要求により外部メモリから命令をフェッチし、データアクセス要求により外部メモリとの間でデータの転送を行い、フェッチした命令を実行処理するプロセッサコア部と、
プロセッサと外部メモリとの間で転送される情報の転送路となる外部データバスと、
前記プロセッサコア部に入出力される情報の転送路となる内部データバスと、
命令フェッチのバスサイクル時における前記外部データバスのバス幅を指定する第1のバス幅指定情報と、データアクセスのバスサイクル時における前記外部データバスのバス幅を指定する第2のバス幅指定情報を保持する記憶手段と、
バイサイクル時に使用可能となるバス幅の前記外部データバスと前記内部データバスとの接続を切換えて、情報転送経路を形成するバス切換え手段と、
前記記憶手段に保持された第1のバス幅指定情報に基づいて、前記プロセッサコア部の命令フェッチ要求により前記外部データバスのバス幅を指定し、前記記憶手段に保持された第2のバス幅指定情報に基づいて、前記プロセッサコア部のデータアクセス要求により前記外部データバスのバス幅を指定し、それぞれ指定されたバス幅で情報の転送が行われるように、前記バス切換え手段の切換え動作を制御するバス幅切換え制御手段とを有することを特徴とするプロセッサ。

【請求項2】 前記記憶手段は、その保持内容がプログラムにより変更可能に設定されてなることを特徴とする請求項1記載のプロセッサ。

【請求項3】 前記記憶手段は、その保持内容の初期値がプロセッサ内部の初期化時に固定値が設定されてなることを特徴とする請求項1又は2記載のプロセッサ。

【請求項4】 前記記憶手段は、その保持内容がプロセッサの初期化後に再設定可能となることを特徴とする請求項3記載のプロセッサ。

【請求項5】 リセット信号が有効の場合は、外部から与えられる前記外部データバスのバス幅を指定する情報を選択し、リセット信号が無効の場合は、内部から与えられる前記外部データバスのバス幅を指定する情報を選択し、選択した情報を前記記憶手段の初期値として設定する選択手段を有することを特徴とする請求項1、2又は4記載のプロセッサ。

【請求項6】 命令フェッチ要求により外部メモリから命令をフェッチし、データアクセス要求により外部メモリとの間でデータの転送を行い、フェッチした命令を実行処理するプロセッサコア部と、
プロセッサと外部メモリとの間で転送される情報の転送路となる外部データバスと、
前記プロセッサコア部に入出力される情報の転送路となる内部データバスと、

バスサイクル時に使用可能となるバス幅の前記外部データバスと前記内部データバスとの接続を切換えて、情報転送経路を形成するバス切換え手段と、
命令フェッチのバスサイクル時における前記外部データバスのバス幅を指定する第1のバス幅指定情報を外部から受け、この第1のバス幅指定情報に基づいて前記プロセッサコア部からの命令フェッチ要求により前記外部データバスのバス幅を指定し、データアクセスのバスサイクル時における前記外部データバスのバス幅を指定する第2のバス幅指定情報を外部から受け、この第2のバス幅指定情報を外部から受け、この第2のバス幅指定情報に基づいて前記プロセッサコア部からのデータアクセス要求により前記外部データバスのバス幅を指定し、それぞれ指定されたバス幅で情報の転送が行われるように、前記バス切換え手段の切換え動作を制御するバス幅切換え制御手段とを有することを特徴とするプロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、外部メモリのデータ幅に応じて、外部メモリへのアクセスの際に使用するデータ幅を可変することができるプロセッサに関する。

【0002】

【従来の技術】取り扱うデータ幅が異なるマイクロプロセッサと外部メモリを使用してシステムを構築する場合には、データ幅の相違を調整する必要が生じる。

【0003】以下に、例えばデータバス幅が32ビットのマイクロプロセッサと、プログラム(命令)格納用の8ビットのROMと、データ格納用の8ビットのRAMを4つ用いて構成されたシステムを一例として、データ幅調整の従来技術とその問題点について説明する。

【0004】まず、データ幅を調整する機能がマイクロプロセッサに備えていない場合は、図16に示すように、MPU101の32ビットのデータバス102と8ビットのROM103とをバス幅変換回路104を介して接続し、ROM103から読み出された8ビットの命令を32ビット構成の命令に変換してMPU101に供給するという手法がある。

【0005】また、バス幅変換回路104を使用しない場合には、図17に示すようにROM103を4個使用してデータバス102とそれぞれ接続し、データバス102のバス幅とROM103全体としての出力ビット幅を32ビットに崩れるという手法がある。

【0006】図16に示す手法にあっては、バス幅を変換するバス幅変換回路104が必要となり、図17に示す手法にあっては、1個のROM103で十分にシステムが構成できるにもかかわらず余分に3個のROMが必要となる。このため、両手法ともに、構成が大型化するとともにシステムのコストが上昇することになる。

【0007】一方、一部のマイクロプロセッサには、外部からの信号によってデータバスのバス幅を半固定的に

変更できるものがある。このようなマイクロプロセッサを使用した場合には、図18に示すように、外部からの信号によりデータバス105のバス幅を8ビットに設定し、4個のRAM106をデータバス105に対して並列接続するという手法がある。

【0008】しかしながら、このような手法にあっては、8ビットのRAM106を4個使用しているにもかかわらず、RAM106のデータ幅は8ビットとなり、図16乃至図17に示した構成に比べて、データのビット幅が減少することになる。このため、システムの処理能が低下し、性能の低下を招くことになる。

【0009】これに対して、上述したような不具合を解消する機能を備えたマイクロプロセッサがある。この機能は、ダイナミックバスサイジング機能と呼ばれ、バスサイクル毎にそのバス幅を指定する信号をマイクロプロセッサに入力することにより、必要に応じてプロセッサが自動的にバスサイクルを繰り返し行う機能であり、モトローラ社製のマイクロプロセッサ「MC68020」をはじめとする多くのプロセッサに採用されている。

【0010】このようなダイナミックバスサイジング機能では、バスサイクル毎にバス幅を指定する信号が必要となるため、それぞれのバスサイクルでアクセスされる外部メモリのビット幅を認識する必要がある。このため、図19に示すように、ダイナミックバスサイジング機能を有するMPU107のアドレスバス108に与えられたアドレス信号をデコードして、アクセスされる外部メモリを判別し、判別された外部メモリのデータ幅に応じたバス幅指定信号(DSIZK#)を生成する回路109がシステムの構築に必要不可欠となる。

【0011】このような回路109によって生成されたバス幅指定信号が、それぞれのバスサイクル毎にMPU107に与えられるわけであるが、ダイナミックバスサイジング機能を備えたプロセッサを使用して構成された図20に示すようなシステムにあっては、バス幅指定信号は、MPU110から出力されるアドレス信号をメモリ111に与えるアドレスドライバ112と、アドレスドライバ112の出力をデコードしてメモリ111の選択信号(CS)を生成するアドレスデコーダ113と、アドレスデコーダ112の選択信号から選択されたメモリのビット幅に応じてバス幅指定信号を生成するバス幅指定信号生成回路114によって生成される。

【0012】したがって、バス幅指定信号が生成されるタイミングを示す図21のタイミングチャートに示すように、メモリ111のアクセスに許されるバスサイクルの時間は t_{pr} 、クロック信号に同期してMPU110から出力されるアドレス信号の遅延時間を t_1 、アドレス信号のアドレスドライバ112による遅延時間を t_2 、アドレスデコーダ113による遅延時間を t_3 、バス幅指定信号のセットアップ時間を t_4 とすると、セッ

トアップ時間 t_s は次式で示すようになる。

【0013】

$$t_{\text{pr}} - (t_1 + t_2 + t_3 + t_4) > t_s$$

したがって、クロック信号すなわち動作周波数を高めてバスサイクル時間を短縮しようとすると、上式から明らかなように、バス幅指定信号のセットアップ時間が短かくなり、タイミングが厳しくなる。このため、バス幅指定信号のセットアップ時間の余裕なくなり、誤動作が生じるおそれがある。また、バスサイクル時間のより一層の短縮が要求される場合には、バス幅指定信号の出力条件を満足させることができなくなり、高速動作の障害となる。

【0014】また、上述したダイナミックバスサイジング機能と類似した機能を有するマイクロプロセッサが、特開平3-98145号公報に提案されている。

【0015】このマイクロプロセッサは、アクセシしようとするデータのアドレス領域に応じてバス幅を動的に変化させる機能を備えている。このようなマイクロプロセッサにあっても、バス幅を指定する信号の生成は、ダイナミックバスサイジング機能を有するプロセッサと同様にアドレス信号のデコード結果に基づいており、このアドレス信号のデコード結果と特定アドレスとの比較結果の後にバス幅を指定する信号が生成されている。

【0016】このため、デコード動作ならびに比較動作をプロセッサの内部で行う場合であっても、バス幅を指定する信号を生成するまでに時間がかかり上述したと同様の不具合を招くことになる。

【0017】

【発明が解決しようとする課題】以上説明したように、データ幅の異なるプロセッサと外部メモリを用いて構成されたシステムにおけるデータ幅を調整する従来の手法にあっては、データ幅を調整する専門の構成が必要としたり、外部メモリの使用が非効率的となり、構成の大規模化ならびにシステムコストの増加を招いていた。

【0018】また、データバス幅を外部からの信号にしたがって半固定的に変更するプロセッサを用いてシステムを構成した場合には、外部メモリの有効利用が図られず、処理能力の低下を招いていた。

【0019】一方、ダイナミックバスサイジング機能又はこれに類似する機能を備えたマイクロプロセッサを用いてシステムを構成した場合には、動作周波数の向上にともなって動作タイミングに余裕がなくなり、高速動作が困難になるという不具合を招いていた。

【0020】そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、外部にデータ幅の異なるメモリを接続した場合に、システムコストの増加や処理能力の低下を招くことなく、データ幅の調整が可能となり、かつ動作周波数の向上にともなう動作マージンの減少を回避して、高速動作を達成し得るプロセッサを提供することにある。

【0021】

【課題を解決するための手段】上記目的を達成するために、この発明は、命令フェッチ要求により外部メモリをフェッチし、データアクセス要求により外部メモリとの間でデータの転送を行い、フェッチした命令を実行処理するプロセッサコア部と、プロセッサと外部メモリとの間で転送される情報の転送路となる外部データバスと、前記プロセッサコア部に入出力される情報の転送路となる内部データバスと、命令フェッチのバスサイクル時ににおける前記外部データバスのバス幅を指定する第1のバス幅指定情報と、データアクセスのバスサイクル時ににおける前記外部データバスのバス幅を指定する第2のバス幅指定情報を保持する記憶手段と、バスサイクル時に使用可能となるバス幅の前記外部データバスと前記内部データバスとの接続を切換えて、情報転送経路を形成するバス切換え手段と、前記記憶手段に保持された第1のバス幅指定情報に基づいて、前記プロセッサコア部の命令フェッチ要求により前記外部データバスのバス幅を指定し、前記記憶手段に保持された第2のバス幅指定情報に基づいて、前記プロセッサコア部のデータアクセス要求により前記外部データバスのバス幅を指定し、それぞれ指定されたバス幅で情報の転送が行われるように、前記バス切換え手段の切換動作を制御するバス幅切換え制御手段とから構成される。

【0022】

【作用】上記構成において、この発明は、命令フェッチのバスサイクル又はデータアクセスのバスサイクルが開始される前に、それぞれのバスサイクルにおける外部データバスのバス幅を設定し、設定したバス幅で情報の転送を行なうようにしている。

【0023】

【実施例】以下、図面を用いてこの発明の実施例を説明する。

【0024】図1はこの発明の一実施例に係るプロセッサの構成を示す図である。同図に示す実施例のプロセッサは、内部に設定されたバス幅にしたがって、命令のフェッチとオペランドのアクセストとそれぞれ別々にバス幅を指定するようにしたものである。

【0025】図1において、32ビットのプロセッサ(MPU)1は、MPU1の主要な機能を果たすMPUコア部2と、バス幅を指定する情報が保持される制御レジスタ3と、32ビット幅の外部データバス(D0～D31)6と32ビット幅の内部データバス(1BD0～1BD31)8のバス幅変換を制御するバスステート制御回路4と、このバスステート制御回路4の制御の下にバス幅を変換するバス切換え回路5とを主要な構成要素として備え、例えば図2に示すように、プログラム(命令)格納用の8ビットのROMと、データ格納用の8ビットのRAMを4つを使用したシステムを構築する。

【0026】MPUコア部2は、32ビットのアドレス

信号とデータを取り扱い、図3に示すように、命令フェッチユニット21、命令デコードユニット22・実行ユニット23を備えている。命令フェッチユニット21は、命令のフェッチを要求する際に、外部に接続されたメモリへのアクセス要求信号となり、バスサイクルの種類を示すバスアクセスタイル(BAT(0))信号を出力する。また、実行ユニット22は命令を実行するにあたってオペランドデータをアクセスする際に、上記と同様に外部に接続されたメモリへのアクセス要求信号となり、バスサイクルの種類を示すバスアクセスタイル(BAT(1))信号を出力する。

【0027】したがって、BAT(0, 1)信号が例えば“1, 0”である場合は、これから実行しようとするバスサイクルが命令フェッチのためのバスサイクルであり、一方、BAT(0, 1)信号が例えば“0, 1”である場合には、これから実行しようとするバスサイクルがデータアクセスのためのバスサイクルであることになる。すなわち、この2つのBAT(0, 1)信号によってバスサイクルの種類が判明することになる。

【0028】また、このBAT信号は、外部メモリをアクセスする際に必要となるアドレス信号がMPU1から出力される前にMPUコア部2から出力される。このため、バスサイクルの種類は、バスサイクルの開始時には判明していることになる。

【0029】制御レジスタ3は、外部データバス6のうち実際にデータ転送に使用する外部データバス6のバス幅を指定する情報を保持するレジスタであり、図4に示すように、4ビットのフィールドから構成されている。フィールドR0, R1は、オペランドアクセスト時に使用する外部データバス6のバス幅を指定するフィールドであり、フィールドR0, R1の値により8ビット、16ビット、32ビットのバス幅の指定が可能となる。一方、フィールドR2, R3は、命令フェッチ時に使用する外部データバス6のバス幅を指定するフィールドであり、フィールドR2, R3の値により8ビット、16ビット、32ビットのバス幅の指定が可能となる。

【0030】この制御レジスタ3は、プロセッサ1の初期化のためのリセット信号がセレクタ7に入力されている時には、外部から与えられるバス幅指定信号がセレクタ7によって選択されて入力される。一方、プロセッサ1が通常動作を行っている時には、MPUコア部2から内部データバス8を介して与えられるバス幅指定信号がセレクタ7によって選択されて入力され、また、制御レジスタ3の内容は内部データバス8を介してMPUコア部2に与えられる。

【0031】このように、外部データバス6の実質的なバス幅は、プロセッサ1の初期化の際には外部から与えられるバス幅指定信号により初期値として設定され、以後必要に応じてプログラムにより変更可能に設定される。

【0032】バスステート制御回路4は、図5に示すように、制御レジスタ3の内容(R0～R3)とMPUコア部2から与えられるバスアクセスタイプ(BAT)信号を受けて、バス幅指定信号B8, B16, B32を生成するバス幅指定信号回路11と、この生成回路11によって生成されたバス幅指定信号B8, B16, B32とMPUコア部2から与えられる内部バスサイクル開始信号IBBS及び外部バスサイクル終了信号IBDCを受けて、バス切換回路5の切換え動作を制御する切換え制御信号S2, S4, S6, S8, S10と内部バスサイクル終了信号IBDC及び外部バスサイクル開始信号BSを生成するバスステート制御信号生成回路12とから構成されている。

【0033】バス幅指定信号生成回路11は、例えば図6に示すように、論理ゲートから構成され、表1に示すように、入出力の論理を実現している。

【0034】

【表1】

BAT	R0	R1	R2	R3	B8	B16	B32
0	0	0			1	0	0
0	0	1		*	0	1	0
0	1	0			0	0	1
0	1	1			0	0	0
1			0	0	1	0	0
1		*	0	1	0	1	0
1			1	0	0	0	1
1				1	1	0	0

すなわち、BAT信号によってオペランドアクセスが設定された場合の外部データバス6のバス幅は、制御レジスタR0, R1が“0, 0”で8ビットとなり切換え制御信号B2が“1”となり、R0, R1が“0, 1”で16ビットとなり信号B16が“1”、R0, R1が“1, 0”で32ビットとなり信号B32が“1”となる。

【0035】一方、BAT信号によって命令フェッチが設定された場合の外部データバス6のバス幅は、R0, R1が“0, 0”で8ビットとなり信号B2が“1”となり、R0, R1が“0, 1”で16ビットとなり信号B16が“1”、R0, R1が“1, 0”で32ビットとなり信号B32が“1”となる。

【0036】バスステート制御信号生成回路12は、図7の状態遷移図に示すように、バス切換え回路5の切換え動作を制御する切換え制御信号S2, S4, S6, S8, S10を生成する。

【0037】図7において、それぞれの状態はクロック信号の立ち上がりに同期して遷移し、状態S1はバスサイクルの行われていない状態であり、状態S2, S4, S6, S8, S10は外部バスサイクル終了信号(DC)がロウレベルにならない場合にはウェイト状態となり、現在の状態が維持される。

【0038】図7において、外部データバス6のバス幅が、バスサイクルが開始される際に32ビットに設定されて、バス幅指定信号B32が出力された場合に、内部バスサイクルが開始されて（内部バスサイクル開始信号、IBBS信号=ロウレベル）、外部バスサイクルが開始されると（外部バスサイクル開始信号、BS信号=ロウレベル）、状態S1から状態S2に遷移して、切換え制御信号S2が送出され、32ビットの情報（オペランドデータ又は命令）が外部データバス6及び内部データバス8を介して転送される。転送が終了すると（外部バスサイクル終了信号、DC信号=ロウレベル）、状態S2から状態S1に遷移する。

【0039】外部データバス6のバス幅が、バスサイクルが開始される際に16ビットに設定されて、バス幅指定信号B16が送出された場合に、内部バスサイクル及び外部バスサイクルが開始されると、状態S1から状態S2に遷移して、切換え制御信号S2が送出され、16ビットの情報が転送される。転送が終了すると（DC信号=ロウレベル）、状態S2から状態S3へ遷移する。状態S3に遷移すると、再び外部バスサイクルが開始されて、状態S3から状態S4へ遷移し、切換え信号S4が送出され、16ビットの情報が転送される。転送が終了すると、状態S4から状態S1へ遷移し、これにより、32ビットの情報が2回の外部バスサイクルで16ビットづつ転送される。

【0040】外部データバス6のバス幅が、バスサイクルが開始される際に8ビットに設定されて、バス幅指定信号B8が送出された場合に、内部バスサイクル及び外部バスサイクルが開始されると、状態S1から状態S2へ遷移し、状態S2, 6, 8, 10のそれぞれの状態で外部バスサイクルが開始され、8ビットの情報がそれぞれ転送される。したがって、32ビットの情報が4回の外部バスサイクル（状態S2, 6, 8, 10）で8ビットづつ転送される。

【0041】バスステート制御信号生成回路12において、外部バスサイクル開始信号（BS信号）と、内部バスサイクル終了信号（IBDC信号）は、図8に示すように構成された論理ゲートにより生成される。

【0042】バス切換え回路5は、図9に示すように、セレクタ13～16と、セレクタ切換え信号生成回路17とから構成されており、データをラッチするメモリデータレジスタ（MDR）9を介して内部データバス8に接続されている。

【0043】セレクタ13～16は、指定された外部データバス6のバス幅で情報が転送されるように、内部データバス8と外部データバス6とを8ビット単位で切換え接続し、例えば図10乃至図13に示すように構成される。

【0044】セレクタ13は、バス幅が32ビット、1

6ビット、8ビットのいずれに指定された場合であっても、外部データバスD0～D7と内部データバスIBD B0～7とを、セレクタ切換え信号S2R、S2Wにしたがってバッファ接続する。セレクタ13は、信号S2Rが与えられると、外部メモリから読出された情報を外部データバスD0～D7から内部データバスIBDB0～7へバッファして転送する。

【0045】なお、「R」が付記されたセレクタ切換え信号がセレクタ13～16に与えられた場合には、外部メモリから読出された情報を外部データバス6から内部データバス8にバッファ転送されてMPUコア部2に与えられ、「W」が付記されたセレクタ切換え信号がセレクタ13～16に与えられた場合には、MPUコア部2から出力された情報が内部データバス8から外部データバス6にバッファ転送されて外部メモリに書込まれる。

【0046】セレクタ14は、外部データバス6のバス幅が32ビットに指定された場合は、外部データバスD8～D15と内部データバスIBD8～IBD15とをバッファ接続し、外部データバス6のバス幅が8ビットに指定された場合には、外部データバスD0～D7と内部データバスIBD8～IBD15とをバッファ接続する。

【0047】セレクタ15は、バス幅が32ビットに指定された場合は、外部データバスD16～D23と内部データバスIBD16～IBD23をバッファ接続し、バス幅が16ビットあるいは8ビットに指定された場合には、外部データバスD0～D7と内部データバスIBD16～IBD23をバッファ接続する。

【0048】セレクタ16は、バス幅が32ビットに指定された場合は、外部データバスD24～D31と内部データバスIBD24～IBD31とをバッファ接続し、バス幅が16ビットに指定された場合は、外部データバスD8～D15と内部データバスIBD24～IBD31とをバッファ接続し、バス幅が8ビットに指定された場合には、外部データバスD0～D8と内部データバスIBD24～IBD31とをバッファ接続する。

【0049】セレクタ切換信号生成回路17は、図10乃至図13に示すそれぞれのセレクタ13～セレクタ16を切換え制御するセレクタ切換え制御信号S2R、S2W、S4R、S4W、S6R、S6W、S8R、S8W、S10R、S10Wを生成する回路であり、例えば図14に示すように論理ゲートから構成される。

【0050】このように構成された本発明の一実施例にあっては、図15に示すようなタイミングでバスサイクルが実行される。

【0051】まず、バスサイクルが開始される前に、MPUコア部2の命令フェッチユニット2、又は実行ユニ

ット2、から命令フェッチ又はデータアクセスが要求され、バスアクセスタイプ信号(BAT信号)がMPUコア部2からバスステート制御回路4のバス幅指定信号生成回路11に与えられると、制御レジスタ3に設定されたバス幅を指定する情報にしたがってバス幅指定信号B8、B16、B32が生成される。

【0052】例えば、バス幅が32ビットに指定され、外部メモリから32ビットの情報(A～D)をMPU1に読み込む場合は、図15に示すように、内部バスサイクルと外部バスサイクルがそれぞれIBBS信号、BS信号がロウレベルになることによって開始されると、状態1から状態2へ遷移した時に、外部メモリから外部データバス6に読出された情報(A～D)はバス切換え回路5を介してバス幅が切換えられることなくメモリデータレジスタ9にラッチされ、内部データバス8を介してMPUコア部2に与えられる。

【0053】次に、バス幅が16ビットに指定されて、外部メモリから32ビットの情報E～HをMPU1に読み込む場合は、図15に示すように、内部バスサイクル及び外部バスサイクルが開始されると、まず、16ビットの情報E、Fが、最初の外部バスサイクルで外部データバスD0～D15及びバス切換え回路4を介してメモリデータレジスタ9の下位16ビット側に与えられラッチされる。これにより、最初の外部バスサイクルが終了し、続いて、次のバスサイクルで情報G、Hが外部データバスD0～D15及びバス切換え回路4により切換えられて、メモリデータレジスタ9の上位16ビット側にラッチされる。これにより、32ビットの情報E～Hはバスサイクルの開始から4クロック後にMPUコア部2に与えられる。

【0054】一方、バス幅が8ビット幅に指定されて、外部メモリから32ビットの情報をMPUコア部2に読み込む場合は、4回のバスサイクルにより外部データバス6と内部データバス8とが順次切換えられて、情報が8ビットづつ順次転送される。このように、本発明の一実施例にあっては、MPU1と外部メモリとの情報の転送において、そのバスサイクルが命令フェッチ又はデータアクセスであるかを、バスアクセスタイプ信号にしたがってバスサイクルが開始される前に把握して、バス幅を指定するようしているため、バスサイクルが開始される時にはバス幅が設定されることになる。これにより、外部メモリをアクセスするためのアドレス信号によってバス幅を指定する従来の手法に比べて、バス幅指定信号のセットアップ時間に大幅に余裕を持たせることができとなる。したがって、動作周波数を高めた場合であっても、十分にバスサイクルを実行することができるようになり、高速動作が要求されるシステムに極めて好適なプロセッサを提供することができる。

【0055】なお、本発明は、上記実施例に限ることなく、様々な設計的変更が可能である。

【0056】例えば、制御レジスタ3のフィールド構成やプロセッサ1の内部回路の具体的な構成は、開示されたものに限らず、制御レジスタ3のフィールド構成はオペランドデータのアクセスであっても、読み出しと書き込みとで分けるようにしてもよい。また、制御レジスタ3の初期値は、リセット時に外部信号により設定する外に、例えオペランドのアクセスを32ビット、命令フェッチのアクセスを8ビットというように固定値に設定する方法や、固定値に設定した後にリセットベクタ内で再設定可能とするようにしてもよい。

【0057】一方、MPU1内に制御レジスタ3を設けることなく、外部信号により直接命令フェッチのデータ転送幅とオペランドアクセスのデータ転送幅をそれぞれ別々に指定するようにしてもよい。これは、制御レジスタ3への入力信号(R0～R3)に代えて、直接MPU1の外部から指定することによって容易に実現することができる。

【0058】

【発明の効果】以上説明したように、この発明によれば、外部メモリのデータ幅に応じて外部データバスのバス幅を、命令フェッチとデータアクセスとでダイナミックに可変するようにしたので、バス幅変換のための専用の構成が不要となり、外部データバスの非効率的な使用による処理能力の低下を防止できる。

【0059】さらに、命令フェッチあるいはデータアクセスが開始される前に外部データバス幅が設定されるようになっているので、バスサイクル時間におけるバス幅設定に必要な時間が不要となり、十分な動作マージンでバスサイクルを実行することができる。これにより、バスサイクル時間の短縮が可能となり、高速動作を達成することができる。

【図面の簡単な説明】

【図1】この発明の一実施例に係るプロセッサの構成を示す図である。

【図2】図1に示すプロセッサを使用したシステムの構成を示す図である。

【図3】図1に示すプロセッサにおけるプロセッサコア部の構成を示す図である。

【図4】図1に示すプロセッサにおける制御レジスタの構成を示す図である。

【図5】図1に示すプロセッサにおけるバスステート制御回路の構成を示す図である。

【図6】図5に示すバスステート制御回路におけるバス幅指定信号生成回路の構成を示す図である。

【図7】図5に示すバスステート制御回路におけるバスステート制御信号生成回路の状態遷移を示す図である。

【図8】図5に示すバスステート制御回路におけるバスステート制御信号生成回路の一部構成を示す図である。

【図9】図1に示すプロセッサにおけるバス切換え回路の構成を示す図である。

【図10】図9に示すバス切換え回路におけるセレクタの構成を示す図である。

【図11】図9に示すバス切換え回路におけるセレクタの構成を示す図である。

【図12】図9に示すバス切換え回路におけるセレクタの構成を示す図である。

【図13】図9に示すバス切換え回路におけるセレクタの構成を示す図である。

【図14】図9に示すバス切換え回路におけるセレクタ切換え信号生成回路の構成を示す図である。

【図15】図1に示すプロセッサにおけるリードバスサイクルのタイミングを示すタイミングチャートである。

【図16】データ幅が異なるプロセッサと外部メモリによって構築された従来のシステムの構成を示す図である。

【図17】データ幅が異なるプロセッサと外部メモリによって構築された従来のシステムの構成を示す図である。

【図18】データ幅が異なるプロセッサと外部メモリによって構築された従来のシステムの構成を示す図である。

【図19】データ幅が異なるプロセッサと外部メモリによって構築された従来のシステムの構成を示す図である。

【図20】従来のダイナミックサイジングを実施するための構成を示す図である。

【図21】図20に示す構成におけるタイミングを示すタイミングチャートである。

【符号の説明】

1 プロセッサ

2 MPUコア部

3 制御レジスタ

4 バスステート制御回路

40 5 バス切換え回路

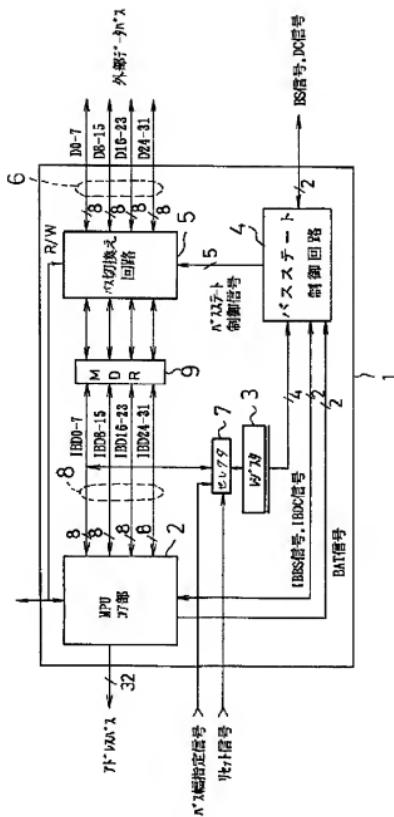
6 外部データバス

7 セレクタ

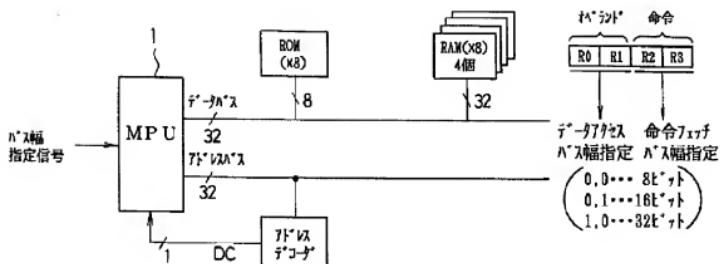
8 内部データバス

9 メモリデータレジスタ

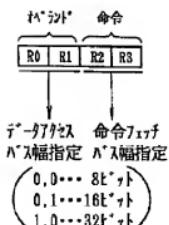
【図1】



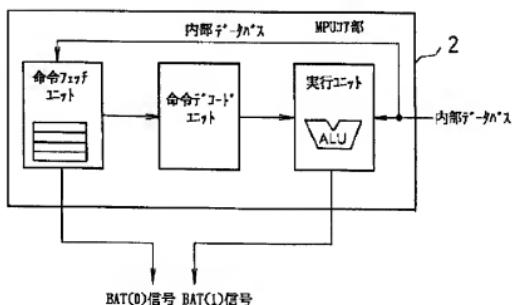
【図2】



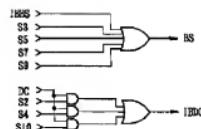
【図4】



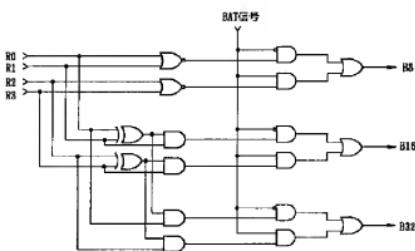
【図3】



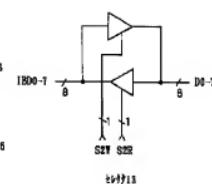
【図8】



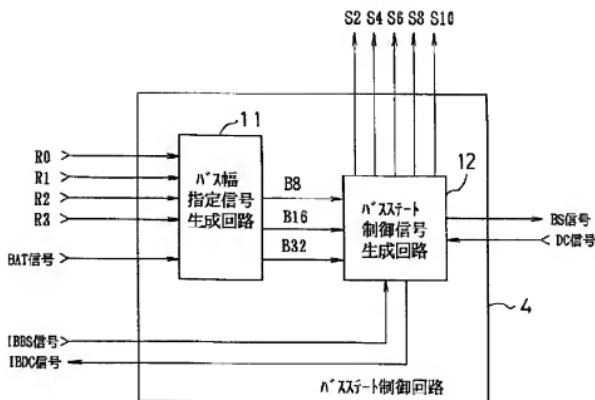
【図6】



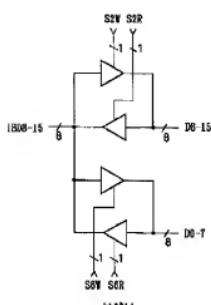
【図10】



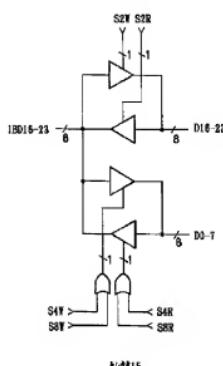
【図5】



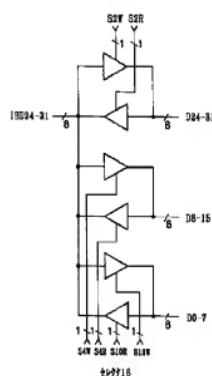
【図11】



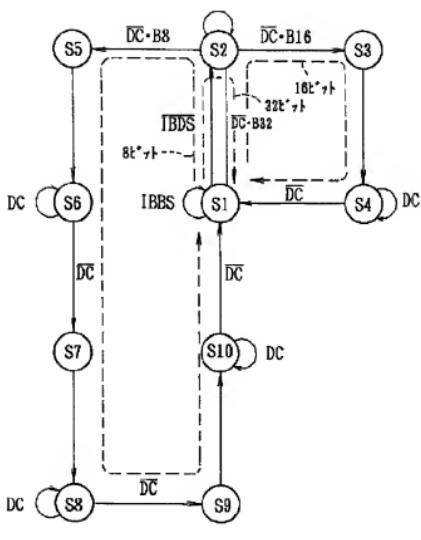
【図12】



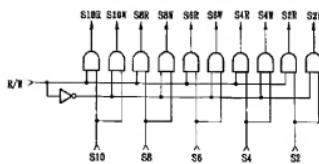
【図13】



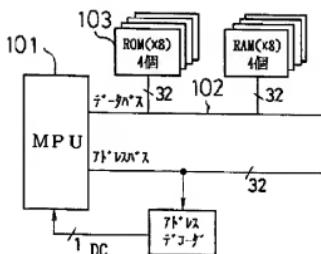
【図7】



【图 1-4】

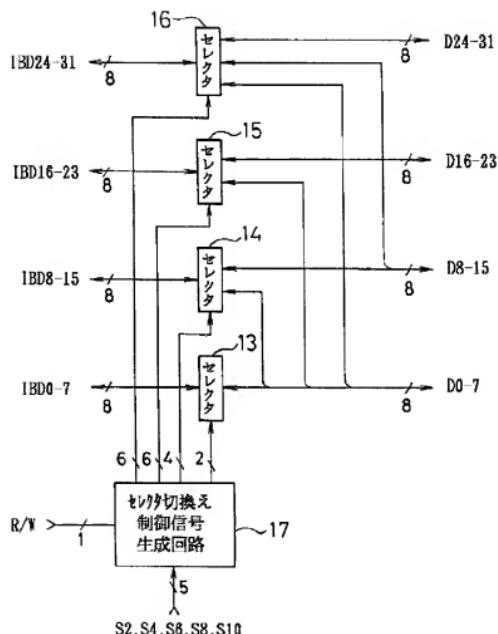


【图1-7】

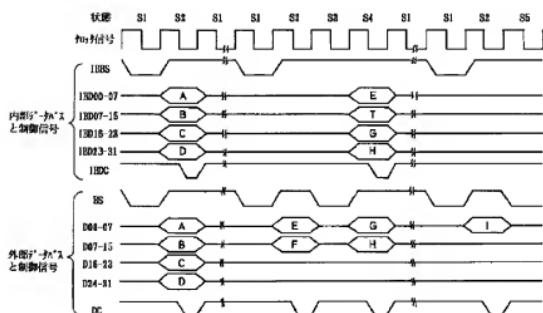


S 1;S1·IBDS+S2·DC·B2+(S4+S10)·DC
 S 2;S1·IBDS-S2·DC
 S 3;S2·DC·B16
 S 4;S3+S4·DC
 S 5;S2·DC·B8
 S 6;S5+S6·DC
 S 7;S6·DC
 S 8;S7+S8·DC
 S 9;S8·DC
 S10;S9+S10·DC

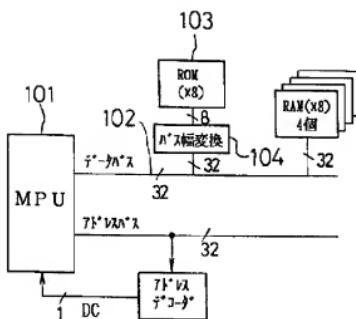
【図9】



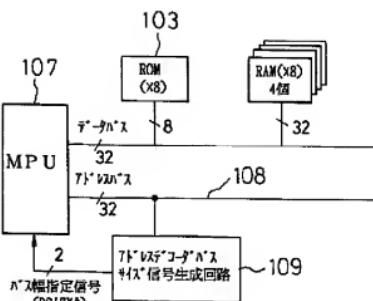
【図15】



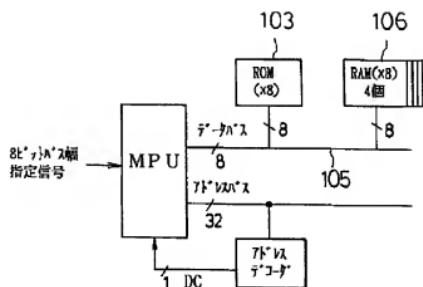
【図16】



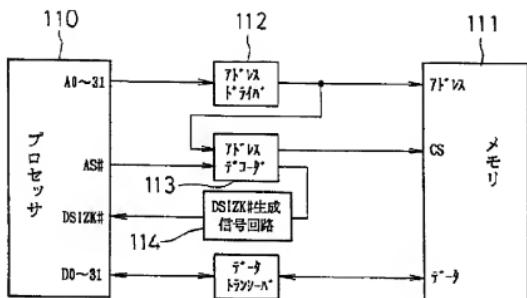
【図19】



【図18】



【図20】



【図21】

